

10/784193

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-341865

(P2000-341865A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) IntCl⁷

識別記号

F I

テームコード (参考)

H 0 2 J 7/00

H 0 2 J 7/00

M 5 G 0 0 3

G 0 6 F 12/16

3 4 0

G 0 6 F 12/16

3 4 0 G

審査請求 未請求 請求項の数36 O L (全 10 頁)

(21) 出願番号

特願平11-147851

(22) 出願日

平成11年5月27日 (1999.5.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 千島 英朗

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100081880

弁理士 渡部 敏彦

Fターム (参考) 5G003 AA01 BA01 BA02 CB06 CC02

DA07 DA13 EA06 EA08 FA08

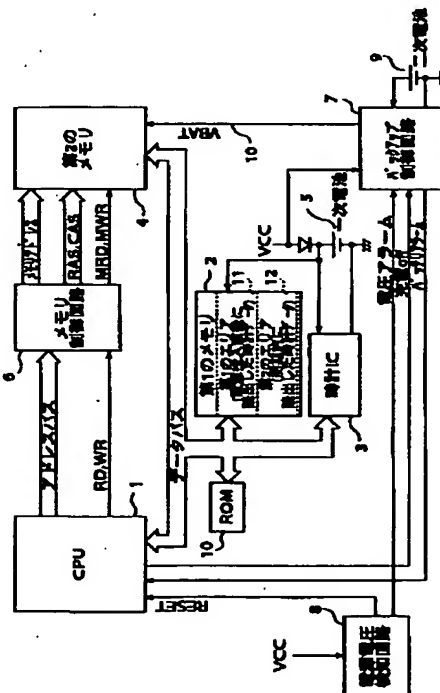
GA01 GB03 GC05

(54) 【発明の名称】 メモリバックアップ制御方法及び装置並びに記憶媒体

(57) 【要約】

【課題】 二次電池の性能劣化を低減し且つ寿命劣化を検知して二次電池によるメモリバックアップを安定に行うことが可能なメモリバックアップ制御方法及び装置を提供する。

【解決手段】 CPU1により、装置の電源オフ経過時間と装置の電源オン経過時間とに基づいて二次電池9の放電時間及び充電時間を管理する。



【特許請求の範囲】

【請求項1】 一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置によりメモリバックアップ制御するメモリバックアップ制御方法であって、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出し工程と、該読み出し工程により読み出した前記時計データを前記第1のメモリに記憶する記憶工程と、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得工程と、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得工程と、前記電源オフ経過時間取得工程により取得した前記電源オフ経過時間と前記電源オン経過時間取得工程により取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理工程とを有することを特徴とするメモリバックアップ制御方法。

【請求項2】 装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止工程を有することを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項3】 前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力工程と、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力工程により前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知工程とを有することを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項4】 前記時計手段は、時計IC（集積回路）であることを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項5】 前記第1のメモリは、半導体メモリであることを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項6】 前記半導体メモリは、SRAM（スタティックランダムアクセスメモリ）あることを特徴とする請求項5記載のメモリバックアップ制御方法。

【請求項7】 前記第2のメモリは、半導体メモリであることを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項8】 前記半導体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とする請求項7記載のメモリバックアップ制御方法。

【請求項9】 前記制御手段は、CPU（中央処理装置）であることを特徴とする請求項1記載のメモリバックアップ制御方法。

【請求項10】 一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置であって、前記制御手段は、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出し手段と、該読み出し手段により読み出した前記時計データを前記第1のメモリに記憶する記憶手段と、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得手段と、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得手段と、前記電源オフ経過時間取得手段により取得した前記電源オフ経過時間と前記電源オン経過時間取得手段により取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理手段とを有することを特徴とするメモリバックアップ制御装置。

【請求項11】 前記バックアップ手段は、装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止手段を有することを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項12】 前記バックアップ手段は、前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力手段と、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力手段により前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知手段とを有することを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項13】 前記時計手段は、時計IC（集積回路）であることを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項14】 前記第1のメモリは、半導体メモリであることを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項15】 前記半導体メモリは、SRAM（スタティックランダムアクセスメモリ）あることを特徴とする請求項14記載のメモリバックアップ制御装置。

【請求項16】 前記第2のメモリは、半導体メモリであることを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項17】 前記半導体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とする

る請求項16記載のメモリバックアップ制御装置。

【請求項18】 前記制御手段は、CPU（中央処理装置）であることを特徴とする請求項10記載のメモリバックアップ制御装置。

【請求項19】 一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御プログラムは、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出しモジュールと、該読み出しモジュールにより読み出した前記時計データを前記第1のメモリに記憶する記憶モジュールと、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得モジュールと、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得モジュールと、前記電源オフ経過時間取得モジュールにより取得した前記電源オフ経過時間と前記電源オン経過時間取得モジュールにより取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理モジュールとを有することを特徴とする記憶媒体。

【請求項20】 前記制御プログラムは、装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止モジュールを有することを特徴とする請求項19記載の記憶媒体。

【請求項21】 前記制御プログラムは、前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力モジュールと、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力モジュールにより前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知モジュールとを有することを特徴とする請求項19記載の記憶媒体。

【請求項22】 前記時計手段は、時計IC（集積回路）であることを特徴とする請求項19記載の記憶媒体。

【請求項23】 前記第1のメモリは、半導体メモリであることを特徴とする請求項19記載の記憶媒体。

【請求項24】 前記半導体メモリは、SRAM（スタティックランダムアクセスメモリ）あることを特徴とする請求項23記載の記憶媒体。

【請求項25】 前記第2のメモリは、半導体メモリであることを特徴とする請求項19記載の記憶媒体。

【請求項26】 前記半導体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とす

る請求項25記載の記憶媒体。

【請求項27】 前記制御手段は、CPU（中央処理装置）であることを特徴とする請求項19記載の記憶媒体。

【請求項28】 前記記憶媒体は、フロッピーディスクであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項29】 前記記憶媒体は、ハードディスクであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項30】 前記記憶媒体は、光ディスクであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項31】 前記記憶媒体は、光磁気ディスクであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項32】 前記記憶媒体は、CD-ROM（Compact Disk Read Only Memory）であることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項33】 前記記憶媒体は、CD-R（Compact Disk Recordable）であることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項34】 前記記憶媒体は、磁気テープであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項35】 前記記憶媒体は、不揮発性メモリカードであることを特徴とする請求項19～26または27記載の記憶媒体。

【請求項36】 前記記憶媒体は、ROM（Read Only Memory）チップであることを特徴とする請求項19～26または27記載の記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリバックアップ制御方法及び装置並びにこのメモリバックアップ制御装置を制御するための制御プログラムを格納した記憶媒体に関する。

【0002】

【従来の技術】従来のメモリバックアップ制御装置における二次電池を用いたバックアップ回路では、

（1）装置の電源がオンのとき、前記電源からメモリへ電源を供給すると共に、前記二次電池に対して充電電圧を印加し、また、装置の電源がオフされた際は、前記電源の出力電圧の低下を検知して、メモリへの供給電源を前記電源から前記二次電池を用いたバックアップ電源に切り換えていた。

（2）二次電池の過充電保護については、充電時において前記二次電池の電圧を検知し、所定の電圧に達したと

きに前記二次電池への充電を停止していた。

(3) バックアップデータの保証については、バックアップ時の二次電池の電圧が予め定めた値よりも低下したかを検知したり、バックアップ前のサムチェックデータとバックアップ後のサムチェックデータと比較することで行っていた。

【0003】

【発明が解決しようとする課題】しかしながら、上述した従来例にあっては、次のような問題点があった。

(1) 装置の電源がオンの間、二次電池に対して常時充電電圧が印加されるために、過充電及び連続充電に対して安定した特性を示すとされるリチウム系二次電池においては、長時間充電で電極に被膜が形成されて電池の内部抵抗が増大し、放電容量が低下する恐れがある。

【0004】また、装置の電源がオフの間、バックアップ負荷回路の動作保証電圧より電圧低下した場合でも、二次電池は放電し続けるために過放電してしまい、次回充電に要する時間が増加すると共に、二次電池の寿命を早める結果となる。

(2) 充電時の二次電池の電圧が所定の電圧に達したときに充電を停止する場合、電圧検知を高精度に行う必要があり、また、部品故障に備えての安全回路を設ける必要があるために、回路規模が増大する。

(3) サムチェックデータによるバックアップデータの保証を行う場合、メモリ容量によっては多大な時間を要する。

【0005】また、二次電池の電圧を検知してもバックアップデータの保証を行えるが、二次電池の劣化を検知することはできない。

【0006】本発明は上述した従来の技術の有するこのような問題点に鑑みてなされたものであり、その第1の目的とするところは、二次電池の性能劣化を低減し且つ寿命劣化を検知して二次電池によるメモリバックアップを安定に行うことが可能なメモリバックアップ制御方法及び装置を提供することにある。

【0007】また、本発明の第2の目的とするところは、上述したような本発明のメモリバックアップ制御装置を円滑に制御することができるとする制御プログラムを格納した記憶媒体を提供することにある。

【0008】

【課題を解決するための手段】上記第1の目的を達成するために請求項1記載のメモリバックアップ制御方法は、一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置によりメモリバックアップ制御するメモリバックアップ制御方法であって、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出し工程と、該読み出し工程により読み出した前記時計データを前記第1のメモリに記憶する記

憶工程と、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得工程と、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得工程と、前記電源オフ経過時間取得工程により取得した前記電源オフ経過時間と前記電源オン経過時間取得工程により取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理工程とを有することを特徴とする。

【0009】また、上記第1の目的を達成するために請求項2記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止工程を有することを特徴とする。

【0010】また、上記第1の目的を達成するために請求項3記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力工程と、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力工程により前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知工程とを有することを特徴とする。

【0011】また、上記第1の目的を達成するために請求項4記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、前記時計手段は、時計IC(集積回路)であることを特徴とする。

【0012】また、上記第1の目的を達成するために請求項5記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、前記第1のメモリは、半導体メモリであることを特徴とする。

【0013】また、上記第1の目的を達成するために請求項6記載のメモリバックアップ制御方法は、請求項5記載のメモリバックアップ制御方法において、前記半導体メモリは、SRAM(スタティックランダムアクセスメモリ)あることを特徴とする。

【0014】また、上記第1の目的を達成するために請求項7記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、前記第2のメモリは、半導体メモリであることを特徴とする。

【0015】また、上記第1の目的を達成するために請求項8記載のメモリバックアップ制御方法は、請求項7記載のメモリバックアップ制御方法において、前記半導

体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とする。

【0016】また、上記第1の目的を達成するために請求項9記載のメモリバックアップ制御方法は、請求項1記載のメモリバックアップ制御方法において、前記制御手段は、CPU（中央処理装置）であることを特徴とする。

【0017】また、上記第1の目的を達成するために請求項10記載のメモリバックアップ制御装置は、一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置であって、前記制御手段は、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出し手段と、該読み出し手段により読み出した前記時計データを前記第1のメモリに記憶する記憶手段と、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得手段と、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得手段と、前記電源オフ経過時間取得手段により取得した前記電源オフ経過時間と前記電源オン経過時間取得手段により取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理手段とを有することを特徴とする。

【0018】また、上記第1の目的を達成するために請求項11記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記バックアップ手段は、装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止手段を有することを特徴とする。

【0019】また、上記第1の目的を達成するために請求項12記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記バックアップ手段は、前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力手段と、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力手段により前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知手段とを有することを特徴とする。

【0020】また、上記第1の目的を達成するために請求項13記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記時計手段は、時計IC（集積回路）であることを特徴とする。

【0021】また、上記第1の目的を達成するために請求項14記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記第1のメモリは、半導体メモリであることを特徴とする。

【0022】また、上記第1の目的を達成するために請求項15記載のメモリバックアップ制御装置は、請求項14記載のメモリバックアップ制御装置において、前記半導体メモリは、SRAM（スタティックランダムアクセスメモリ）あることを特徴とする。

【0023】また、上記第1の目的を達成するために請求項16記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記第2のメモリは、半導体メモリであることを特徴とする。

【0024】また、上記第1の目的を達成するために請求項17記載のメモリバックアップ制御装置は、請求項16記載のメモリバックアップ制御装置において、前記半導体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とする。

【0025】また、上記第1の目的を達成するために請求項18記載のメモリバックアップ制御装置は、請求項10記載のメモリバックアップ制御装置において、前記制御手段は、CPU（中央処理装置）であることを特徴とする。

【0026】また、上記第2の目的を達成するために請求項19記載の記憶媒体は、一次電池でバックアップされる時計手段及び第1のメモリと、二次電池を用いて第2のメモリのデータを保持するバックアップ手段と、制御手段とを具備したメモリバックアップ制御装置を制御するための制御プログラムを格納した記憶媒体であって、前記制御プログラムは、装置の電源投入時及び動作時に前記時計手段の時計データを定期的に読み出す読み出しモジュールと、該読み出しモジュールにより読み出した前記時計データを前記第1のメモリに記憶する記憶モジュールと、前記第1のメモリに記憶されている電源投入時の前記時計データと前記電源投入前に最後に前記第1のメモリに記憶された前記時計データとを比較することで装置の電源オフ経過時間を取得する電源オフ経過時間取得モジュールと、前記第1のメモリに記憶されている電源投入時の前記時計データと電源投入後に前記第1のメモリに記憶された時計データとを比較することで装置の電源オン経過時間を取得する電源オン経過時間取得モジュールと、前記電源オフ経過時間取得モジュールにより取得した前記電源オフ経過時間と前記電源オン経過時間取得モジュールにより取得した前記電源オン経過時間とに基づいて前記二次電池の放電時間及び充電時間を管理する管理モジュールとを有することを特徴とする。

【0027】また、上記第2の目的を達成するために請

請求項20記載の記憶媒体は、請求項19記載の記憶媒体において、前記制御プログラムは、装置の電源オンの継続時間が所定の時間を経過した際、前記二次電池の充電を停止する停止モジュールを有することを特徴とする。

【0028】また、上記第2の目的を達成するために請求項21記載の記憶媒体は、請求項19記載の記憶媒体において、前記制御プログラムは、前記二次電池の電圧が所定の値より低下した際にアラーム信号を出力するアラーム信号出力モジュールと、前記二次電池が満充電された状態で電源オフの継続時間が所定の時間以内であるにも拘らず前記アラーム信号出力モジュールにより前記アラーム信号が出力された場合に前記二次電池が劣化したことを検知する劣化検知モジュールとを有することを特徴とする。

【0029】また、上記第2の目的を達成するために請求項22記載の記憶媒体は、請求項19記載の記憶媒体において、前記時計手段は、時計IC（集積回路）であることを特徴とする。

【0030】また、上記第2の目的を達成するために請求項23記載の記憶媒体は、請求項19記載の記憶媒体において、前記第1のメモリは、半導体メモリであることを特徴とする。

【0031】また、上記第2の目的を達成するために請求項24記載の記憶媒体は、請求項23記載の記憶媒体において、前記半導体メモリは、SRAM（スタティックランダムアクセスメモリ）あることを特徴とする。

【0032】また、上記第2の目的を達成するために請求項25記載の記憶媒体は、請求項19記載の記憶媒体において、前記第2のメモリは、半導体メモリであることを特徴とする。

【0033】また、上記第2の目的を達成するために請求項26記載の記憶媒体は、請求項25記載の記憶媒体において、前記半導体メモリは、DRAM（ダイナミックランダムアクセスメモリ）あることを特徴とする。

【0034】また、上記第2の目的を達成するために請求項27記載の記憶媒体は、請求項19記載の記憶媒体において、前記制御手段は、CPU（中央処理装置）であることを特徴とする。

【0035】また、上記第2の目的を達成するために請求項28記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、フロッピーディスクであることを特徴とする。

【0036】また、上記第2の目的を達成するために請求項29記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、ハードディスクであることを特徴とする。

【0037】また、上記第2の目的を達成するために請求項30記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、光ディスクであることを特徴とする。

【0038】また、上記第2の目的を達成するために請求項31記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、光磁気ディスクであることを特徴とする。

【0039】また、上記第2の目的を達成するために請求項32記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、CD-ROM（Compact Disk Read Only Memory）であることを特徴とする。

10 【0040】また、上記第2の目的を達成するために請求項33記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、CD-R（Compact Disk Recordable）であることを特徴とする。

【0041】また、上記第2の目的を達成するために請求項34記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、磁気テープであることを特徴とする。

20 【0042】また、上記第2の目的を達成するために請求項35記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、不揮発性メモリカードであることを特徴とする。

【0043】更に、上記第2の目的を達成するために請求項36記載の記憶媒体は、請求項19～26または27記載の記憶媒体において、前記記憶媒体は、ROM（Read Only Memory）チップであることを特徴とする。

【0044】

30 【発明の実施の形態】以下、本発明の一実施の形態を図面に基づき説明する。

【0045】図1は、本実施の形態に係るメモリバックアップ制御装置の構成を示すブロック図である。本実施の形態に係るメモリバックアップ制御装置は、制御の中核となる制御手段であるCPU（中央処理装置）1と、制御プログラムを格納したROM（リードオンリーメモリ）10と、CPU1でアクセス可能な第1のメモリ2と、時計手段である時計IC（集積回路）3及び第2のメモリ4と、ACアダプタ等を介して供給される装置の電源（不図示）の電源電圧の低下を検知する電源電圧検知回路8とを有する。

【0046】CPU1は、装置の電源がオンしている動作中において、時計IC3を所定の周期でアクセスし、読み出した時計データを第1のメモリ2に格納する。

40 【0047】第1のメモリ2は、SRAM（スタティックランダムアクセスメモリ）等の半導体メモリで構成され、時計IC3と合わせて装置の電源がオフした際に一次電池5によりバックアップ電源を供給される。また、第1のメモリ2は、時計データの格納のために2つのエリアを割り当ててあり、第1のエリア11には装置の電源投入時にCPU1が最初に時計IC3から読み出した

時計データが格納され、第2のエリア12には動作中に所定の周期で読み出した時計データが格納される。

【0048】第2のメモリ4は、DRAM（ダイナミックランダムアクセスメモリ）等の半導体メモリで構成され、CPU1からメモリ制御回路6を介してアクセスされる。また、第2のメモリ4は、二次電池9を接続したバックアップ制御回路7を介して電源が供給され、装置の電源がオフした際に電源電圧検知回路8から電圧低下アラーム信号を受けて、二次電池9からバックアップ制御回路7を介してバックアップ電源VBATが供給される。

【0049】図2は、図1に示すバックアップ制御回路7の回路構成を示すブロック図である。同図において、201は第1の抵抗（R1）、202は第2の抵抗（R2）、203は第1の電解効果トランジスタ（FET1）、204は第1のダイオード（D1）であり、これらは充電回路を構成している。また、205は第2の電解効果トランジスタ（FET2）、206は第2のダイオード（D2）、207はDC/DCコンバータ、208は第3のダイオード（D3）、209は第4のダイオード（D4）、210はコンデンサ（C1）で、これらはバックアップ電源を供給する放電回路を構成する。

【0050】また、図2において、211は電池電圧を検知する電池電圧検知回路、9は二次電池である。

【0051】そして、装置の電源が投入されている場合は、供給電源VCCを第1の抵抗（R1）201と第2の抵抗（R2）202とで分割した電圧が第1の電解効果トランジスタ（FET1）203及び第1のダイオード（D1）204を介して二次電池9に印加されて充電を行う。一方、装置の電源の電圧が低下した際には、図1の電源電圧検知回路8から電源電圧が低下したことを示す電圧低下アラーム信号がDC/DCコンバータ207に入力される。DC/DCコンバータ207は、前記電圧低下アラーム信号をうけて動作状態になり、二次電池9から第2の電解効果トランジスタ（FET2）205及び第2のダイオード（D2）206を介して電源を供給され、バックアップに必要な電圧を形成し、第3のダイオード（D3）208を介してバックアップ電源VBATを出力する。

【0052】電池電圧検知回路211は、二次電池9の放電電圧の検知を行い、前記放電電圧が所定の電圧より低い場合にバッテリー電圧低下アラーム信号を出力し、第2の電解効果トランジスタ（FET2）205をオフにして放電を停止すると共に、CPU1に対して二次電池9の電圧低下を通知する。

【0053】次に、本実施の形態に係るメモリバックアップ制御装置の動作を図3のフローチャートに基づき説明する。

【0054】図3のフローチャートにおいて、本実施の形態に係るメモリバックアップ制御装置は、まず、ステ

ップS301で装置の電源が投入されると、CPU1はROM10に格納された制御プログラムの実行を開始する。

【0055】次に、ステップS302で装置の電源がオンした起動直後にCPU1は時計IC3から最初の時計データを読み出し、前記時計データを第1のメモリ2の第1のエリア11に格納する。

【0056】次に、ステップS303でCPU1は前回装置が動作中に所定の周期で時計IC3から読み出した時計データが格納されている第1のメモリ2の第2のエリア12の時計データを読み出す。尚、ここで読み出した時計データは、前回動作中において装置の電源がオフされる前に格納された時計データである。

【0057】次に、ステップS304でCPU1は第1のメモリ2の第1のエリア11に格納されている時計データから第1のメモリ2の第2のエリア12に格納されている時計データを差し引くことにより、装置の電源オフの経過時間を求める。

【0058】次に、ステップS305で前記ステップS304において求めた装置の電源オフの経過時間が二次電池9の予め定めたバックアップ可能な時間以内であるかを判断する。ここで、装置の電源オフの経過時間が所定の時間を超えた場合にはステップS306へ、超えない場合はステップS307へそれぞれ進む。

【0059】ステップS306ではバックアップ時間が所定の時間を超えたことを示すメッセージを図示しない表示部に表示した後、ステップS311へ進む。

【0060】また、ステップS307では電源投入時の二次電池9の電圧が所定値以上であるかを判断する。ここで、二次電池9の電圧が所定値以上である場合はバックアップは正常に行われたと判断し、ステップS312へ進む。

【0061】一方、前記ステップS307において二次電池9の電圧が所定値以下である場合は、ステップS308で二次電池9が満充電状態であったかを判断する。ここで、二次電池9が満充電状態であった場合は、ステップS310で二次電池9の性能が劣化して容量が低下したことを示すメッセージを図示しない表示部に表示した後、ステップS311へ進む。

【0062】また、前記ステップS308において二次電池9が満充電状態でなかった場合は、ステップS309で充電不足のためにバックアップできなかったことを示すメッセージを図示しない表示部に表示した後、ステップS311へ進む。

【0063】ステップS311ではバックアップ時間オーバーまたは二次電池9の電圧が所定値以下になったために、バックアップは正常に行われず、バックアップデータのクリア等のエラー処理を行った後、ステップS312へ進む。

【0064】ステップS312では、CPU1は所定の

周期で時計IC3から時計データを読み出し、繰り返し前記時計データを第1のメモリ2の第2のエリア12に格納する。ここで、第2のエリア12には常に最後に読み出された時計データが書き込まれることになる。

【0065】次に、ステップS313でCPU1は第1のメモリ2の第2のエリア12に格納されている時計データから第1のメモリ2の第1のエリア11に格納されている時計データを差し引くことにより、装置の電源オンの経過時間を求める。

【0066】次に、ステップS314で前記ステップS313において求めた装置の電源オンの経過時間が満充電に必要な所定の時間を超えているか否かを判断する。ここで、装置の電源オンの経過時間が満充電に必要な所定の時間を超えている場合はステップS315へ進み、図2に示すバックアップ制御回路の第1の電解効果トランジスタ(FET1)203をオフにして二次電池9の充電を停止した後、本処理動作を終了する。

【0067】一方、前記ステップS315において電源オンの経過時間が所定の時間以内の場合は、前記ステップS312へ戻り定期的に読み出した時計データを第1のメモリ2の第2のエリア12に格納する。

【0068】以上詳述したように、本実施の形態に係るメモリバックアップ制御方法及び装置によれば、一次電池5でバックアップされる時計IC3と第1のメモリ2を用いて、第1のメモリ2に記憶されている電源投入時の時計データと電源投入前に最後に記憶された時計データを比較することで装置の電源オフ経過時間を求め、更に、電源投入時の時計データと電源投入後に所定の周期で記憶された時計データを比較することで装置の電源オン経過時間を求めることで、二次電池9の放電時間及び充電時間を管理することができる。また、装置の電源オンの継続時間が所定の時間を超えた場合に、二次電池9の充電を充電を停止することで二次電池9の過充電を防止することができ、二次電池9の寿命を長くすることができる。

【0069】

【発明の効果】以上詳述したように本発明の請求項1及び10記載のメモリバックアップ制御方法及び装置によれば、一次電池でバックアップされる時計手段は電源オフの間も歩進し且つ前記一次電池でバックアップされる第1のメモリに記憶されている電源投入時の時計データと電源投入前に最後に記憶された時計データとを比較することで装置の電源オフ経過時間を求め、更に、電源投入時の時計データと電源投入後に記憶された時計データとを比較することで装置の電源オン経過時間を求めることができ、二次電池の放電時間及び充電時間を管理することができる。例えば、二次電池の放電時間と充電時間から放電深度を求め、充放電サイクルと合わせて二次電池の寿命を予測することが可能となる。

【0070】また、本発明の請求項2及び11記載のメ

モリバックアップ制御方法及び装置によれば、装置の電源オンの経過時間が所定の時間を超えた場合に、二次電池の充電を停止することで、二次電池の過充電を防止することができる。過充電時に発生する二次電池の電極への被膜形成を防止でき、二次電池の寿命を長くすることが可能となる。

【0071】また、本発明の請求項3及び12記載のメモリバックアップ制御方法及び装置によれば、装置の電源オンの継続時間が、二次電池が満充電されるのに必要な予め定めた時間を超えた状態で、電源オフ時間が、二次電池がバックアップ可能である予め定められた時間以内にも拘らず、次回電源投入時に二次電池の電圧が所定値より低下した場合にアラーム信号を出力することで、二次電池の容量が低下して性能が劣化したことを検知することが可能である。更に、ファクシミリ装置等で標準的に使われている時計手段を用いることで、低コストで信頼性の高いメモリのバックアップ制御装置を実現することがかのうである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るメモリバックアップ制御装置の構成を示すブロック図である。

【図2】本発明の第1の実施の形態に係るメモリバックアップ制御装置におけるバックアップ制御回路の構成を示すブロック図である。

【図3】本発明の第1の実施の形態に係るメモリバックアップ制御装置の動作の流れを示すフローチャートである。

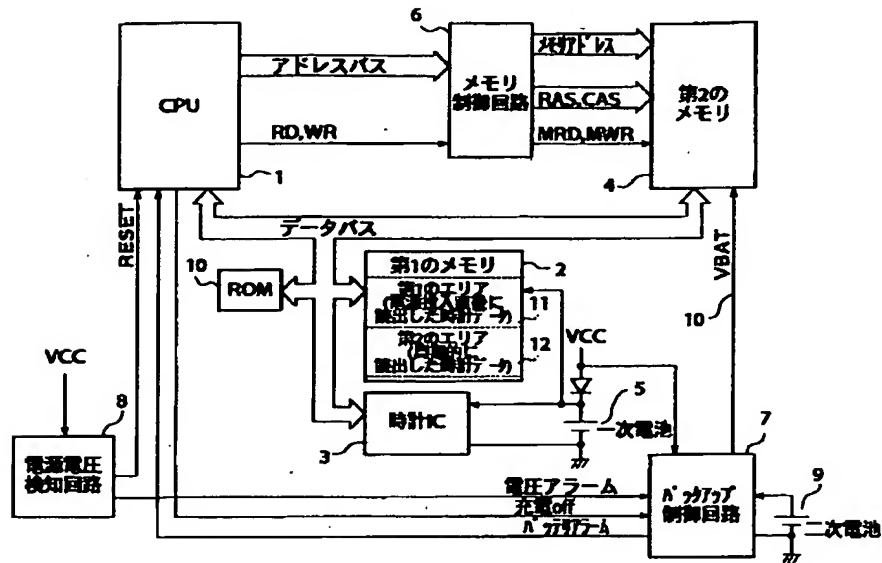
【符号の説明】

1	制御手段(CPU:中央処理装置)
2	第1のメモリ
3	時計手段(時計IC:時計集積回路)
4	第2のメモリ
5	一次電池
6	メモリ制御回路
7	バックアップ制御回路
8	電源電圧検知回路
9	二次電池
10	ROM(リードオンリーメモリ)
11	第1のエリア
12	第2のエリア
VBAT	バックアップ電源
201	第1の抵抗(R1)
202	第2の抵抗(R2)
203	第1の電解効果トランジスタ(FET1)
204	第1のダイオード(D1)
205	第2の電解効果トランジスタ(FET2)
206	第2のダイオード(D2)
207	DC/DCコンバータ
208	第3のダイオード(D3)
209	第4のダイオード(D4)

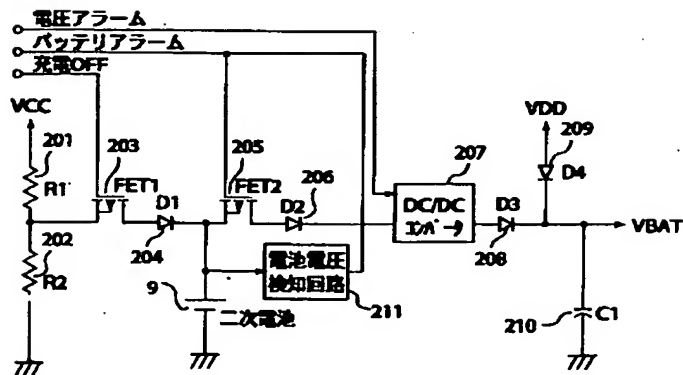
15
210 コンデンサ(C1)

16
211 電池電圧検知回路

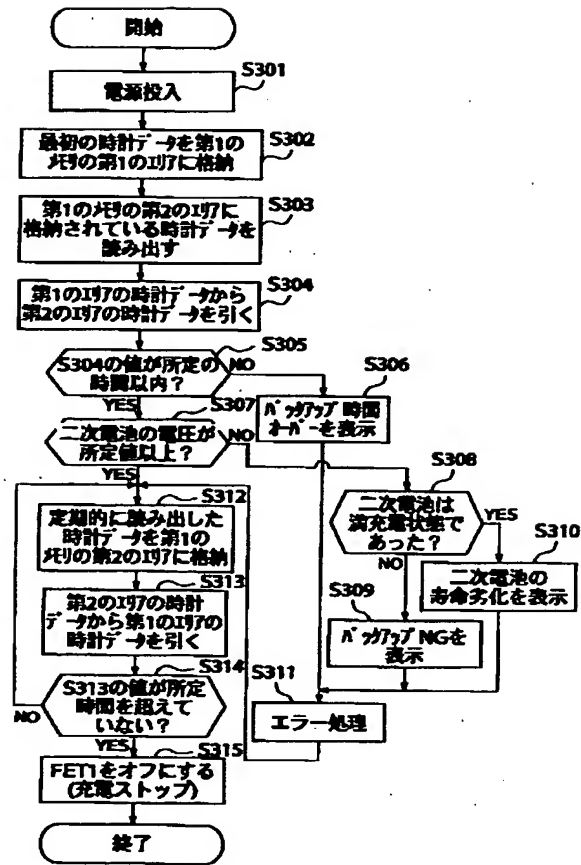
【図1】



【図2】



【図3】



PAT-NO: JP02000341865A
DOCUMENT- JP 2000341865 A
IDENTIFIER:
TITLE: METHOD AND DEVICE FOR CONTROLLING MEMORY BACKUP AND
STORAGE MEDIUM

PUBN-DATE: December 8, 2000

INVENTOR-INFORMATION:

NAME COUNTRY
CHISHIMA, HIDEAKI N/A

ASSIGNEE-INFORMATION:

NAME COUNTRY
CANON INC N/A

APPL-NO: JP11147851
APPL-DATE: May 27, 1999

INT-CL (IPC): H02 J 007/00 , G06 F 012/16

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the performance degradation of a secondary battery by controlling the discharging time and charging time of the secondary battery based on power-off elapse time and power-on elapse time.

SOLUTION: Using a clock IC 3 backed up by a primary battery 5 and a first memory 2, a clock data at power-on stored in a first memory 2 is compared with a clock data stored lastly before power-on to determine the power-off elapse time of a device. The clock data at power-on is compared with a clock data stored at a prescribed cycle after power-on to determine the power-on elapse time of a device. Based on the power-off elapse time and power-on elapse time determined respectively, the discharging time and charging time of a secondary battery 9 are controlled. It is thus possible to reduce the performance degradation of the secondary battery 9 and estimate the

service life of the secondary battery 9 in step with charging and discharging cycle.

COPYRIGHT: (C) 2000, JPO